

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-221262

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/52

(21)Application number : 06-013869

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.02.1994

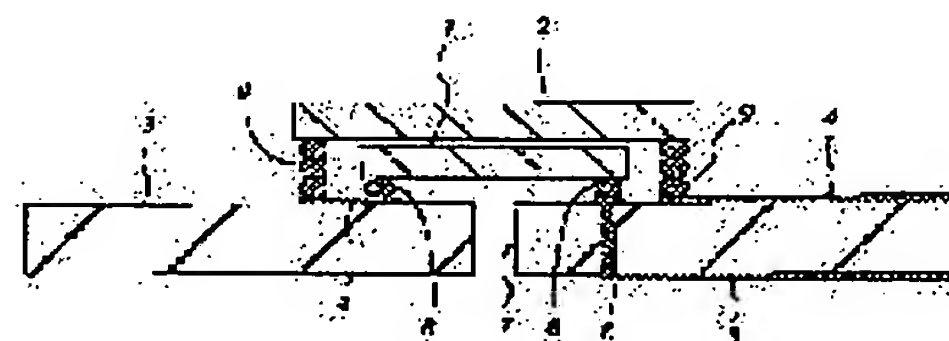
(72)Inventor : SUWA MOTOHIRO
TAKAHASHI HIROYUKI
KAMATA CHIYOSHI

(54) SEMICONDUCTOR MODULE

(57)Abstract:

PURPOSE: To obtain a semiconductor module in which every length of wirings for a plurality of semiconductor chips mounted on a wiring board is made shortest.

CONSTITUTION: In a semiconductor module, a first semiconductor chip 1 is bonded facedown to the main face of a wiring board 3 via solder bumps 8, and a second semiconductor, chip 2 whose outside size is larger than that of the first semiconductor chip 1 is bonded facedown via a plurality of metal bumps 9 which have been overlapped in their height direction in such a way that it is piled up on the first semiconductor chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-221262

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	25/065			
	25/07			
	25/18			

H 0 1 L	25/ 08	Z
	23/ 52	C

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-13869

(22)出願日 平成6年(1994)2月7日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 諏訪 元大
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 高橋 裕之
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 鎌田 千代士
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

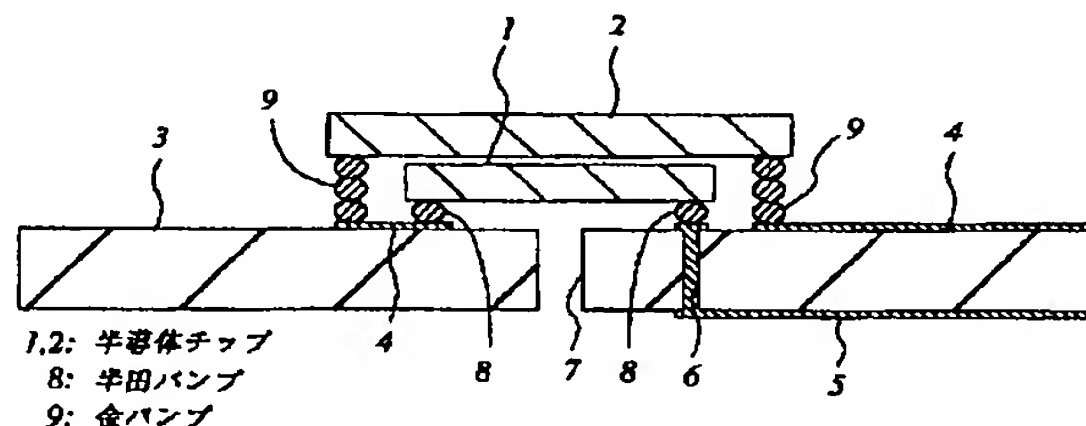
(54)【発明の名称】 半導体モジュール

(57)【要約】

【目的】 配線基板上に実装された複数の半導体チップ間を接続する配線の長さを極限まで短くする。

【構成】 配線基板3の主面上に半田バンプ8を介して第1の半導体チップ1をフェイスダウンボンディングし、高さ方向に重ね合わせた複数個の金バンプ9を介して第1の半導体チップ1よりも外形寸法の大きい第2の半導体チップ2を第1の半導体チップと重なるようにフェイスダウンボンディングした半導体モジュールである。

図 1



【特許請求の範囲】

【請求項 1】 配線基板の主面上に第 1 のバンプ電極を介して第 1 の半導体チップをフェイスダウンボンディングし、前記第 1 のバンプ電極よりも高さの大きい第 2 のバンプ電極を介して前記第 1 の半導体チップよりも外形寸法の大きい第 2 の半導体チップを前記第 1 の半導体チップと重なるようにフェイスダウンボンディングしたことを特徴とする半導体モジュール。

【請求項 2】 前記第 2 のバンプ電極は、高さ方向に重ね合わせた複数個のバンプ電極により構成されていることを特徴とする請求項 1 記載の半導体モジュール。

【請求項 3】 前記第 1 の半導体チップは、前記配線基板の主面上に形成された配線上にリフロー方式でフェイスダウンボンディングされ、前記第 2 の半導体チップは、前記配線基板の主面上に形成された配線上に熱圧着方式でフェイスダウンボンディングされていることを特徴とする請求項 1 または 2 記載の半導体モジュール。

【請求項 4】 前記第 1 の半導体チップの主面には発光または受光素子が形成され、前記第 2 の半導体チップの主面には集積回路素子が形成されていることを特徴とする請求項 1、2 または 3 記載の半導体モジュール。

【請求項 5】 配線基板の主面上に第 2 のバンプ電極を介して第 2 の半導体チップをフェイスダウンボンディングし、前記第 2 のバンプ電極よりも高さの小さい第 1 のバンプ電極を介して前記第 2 の半導体チップよりも外形寸法の小さい第 1 の半導体チップを前記第 2 の半導体チップの主面上にフェイスダウンボンディングしたことを特徴とする半導体モジュール。

【請求項 6】 前記第 2 の半導体チップは、前記配線基板の主面上に形成された配線上に熱圧着方式でフェイスダウンボンディングされ、前記第 1 の半導体チップは、前記第 2 の半導体チップの主面上にリフロー方式でフェイスダウンボンディングされていることを特徴とする請求項 5 記載の半導体モジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体モジュールに関し、特に、光通信などの高速デジタル伝送分野で使用される光送信用モジュールなどに適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、光通信などの高速デジタル伝送分野においては、1 [Gbit/s] を超える高速伝送が主流となっている。

【0003】 この高速伝送に使用される光送受信モジュールは、通常、発光または受光素子（以下、これらを光素子という）を形成した InP（インジウムリン）などの化合物半導体チップと、アンプなどの集積回路素子を形成した Si（シリコン）、GaAs（ガリウムヒ素）などの半導体チップとを配線基板上に実装し、これらの

半導体チップ間をワイヤで電氣的に接続した構成になっている。

【0004】 なお、この種の光送受信モジュールについては、「アイ・イー・イー・イー (IEEE Transaction on Components, Hybrids, and Manufacturing Technology, Vol.15, No.6, (1992))」P976～P982に記載がある。

【0005】

【発明が解決しようとする課題】 前述した従来の光送受信モジュールは、光素子を形成した半導体チップと集積回路素子を形成した半導体チップとの間をワイヤで接続しているが、より一層の高速伝送を行おうとする場合は、これらの半導体チップをフェイスダウン方式で配線基板に実装し、ワイヤのインダクタンスの影響を排除する必要がある。

【0006】 上記フェイスダウン方式の代表的なものとしては、「日本金属学会会報第 23 巻第 12 号（1984 年）」P1004～P1013 や、特開昭 62-249429 号公報などに記載された CCB (Controlled Collaps Bonding) 方式がある。これは、半導体チップの主面に蒸着した半田薄膜をリフトオフ法でパターニングして電極パッド上のみ半田薄膜を残し、これを加熱溶解して電極パッド上にボール状の半田バンプを形成する技術である。

【0007】 しかしながら、本発明者の検討によれば、上記フェイスダウン方式を光送受信モジュールに適用した場合においても、2つの半導体チップ間を接続する配線は、ある一定の長さ以下には短くすることができないという問題がある。

【0008】 これは、半導体ウエハをダイシングして半導体チップに分割する際の加工誤差を考慮すると、半田バンプが接続される電極パッドは、半導体チップの最外周端から少なくとも 100 μ m 程度以上内側に配置する必要があるため、2つの半導体チップ間を接続する配線長は、少なくともこの距離の 2 倍以上になるからである。

【0009】 一般に、高周波信号を伝送するためには、信号伝送線路のインピーダンスを一定にしてそのインピーダンスの抵抗で終端させる必要がある。ところが、光素子の場合は抵抗値を任意に設定することができないので、終端抵抗を形成することができない。そのため、基板上の配線と GND 間の容量が負荷容量となり、長い信号伝送線路では高周波信号を伝送することが不可能となる。

【0010】 このように、光送受信モジュールを使ってより一層の高速伝送を行おうとする場合は、配線基板上に実装される半導体チップ間を接続する配線の長さを極限まで短くする必要があるが、前述したように、従来技術においては、この配線長の短縮に限界がある。

【0011】 本発明の目的は、配線基板上に実装された複数の半導体チップ間を接続する配線の長さを極限まで短くすることのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】(1) 本発明の半導体モジュールは、配線基板の主面上に第1の bumps 電極を介して第1の半導体チップをフェイスダウンボンディングし、前記第1の bumps 電極よりも高さの大きい第2の bumps 電極を介して前記第1の半導体チップよりも外形寸法の大きい第2の半導体チップを前記第1の半導体チップと重なるようにフェイスダウンボンディングしたものである。

【0015】(2) 本発明の半導体モジュールは、配線基板の主面上に第2の bumps 電極を介して第2の半導体チップをフェイスダウンボンディングし、前記第2の bumps 電極よりも高さの小さい第1の bumps 電極を介して前記第2の半導体チップよりも外形寸法の小さい第1の半導体チップを前記第2の半導体チップの主面上にフェイスダウンボンディングしたものである。

【0016】

【作用】前述したように、電極パッドは、ダイシング時の加工誤差を考慮して半導体チップの最外周端から一定以上の距離を置いて配置される。そのため、配線基板上に2つの半導体チップを並べて配置した場合は、これらの半導体チップ間を接続する配線長は、少なくともこの距離の2倍以上必要となる。

【0017】これに対し、上記した手段(1)によれば、第1の半導体チップは、第2の半導体チップの直下に配置されるので、これらの半導体チップ間を接続する配線長は、2つの半導体チップを並べて配置する場合の半分で済む。

【0018】さらに、上記した手段(2)によれば、第1の半導体チップをこれよりも外形寸法の大きい第2の半導体チップの主面上にフェイスダウンボンディングすることにより、2つの半導体チップ間を接続する配線長を極限まで短縮することができる。

【0019】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0020】(実施例1) 図1は、本発明の一実施例である半導体モジュールの断面図である。この半導体モジュールは、GHz (ギガヘルツ) 帯で動作する光送受信モジュールであって、フォトダイオードを形成した第1の半導体チップ1と、プリアンプを形成した第2の半導体チップ2とを配線基板3の主面上に実装した構成となっている。

【0021】上記第1の半導体チップ1は、InP (インジウムリン) などの化合物半導体で構成されている。

また、この半導体チップ1よりも外形寸法の大きい第2の半導体チップ2は、Si (シリコン) またはGaAs (ガリウムヒ素) で構成されている。

【0022】これらの半導体チップ1、2を実装する配線基板3は、セラミックで構成されており、その主面および裏面には配線4、5が形成されている。また、この配線基板3の一部には、配線4、5間を接続するスルーホール6と、フォトダイオード (半導体チップ1) に供給する信号光を通過させるための開孔7が設けられている。

【0023】本実施例の光送受信モジュールは、フォトダイオードを形成した第1の半導体チップ1を配線基板3上にフェイスダウンボンディングすると共に、この半導体チップ1よりも外形寸法の大きい第2の半導体チップ2を第1の半導体チップ1と重なるように配置して配線基板3上にフェイスダウンボンディングした点に特徴がある。

【0024】上記第1の半導体チップ1は、その主面上に形成した半田 bumps 8を介して配線基板3の配線4上に接続されており、第2の半導体チップ2は、その主面上に形成した金 (Au) bumps 9を介して配線基板3の配線4上に接続されている。この場合、第2の半導体チップ2の金 bumps 9は、少なくとも第1の半導体チップ1の厚さと半田 bumps 8の高さを合わせた以上の高さが必要とするため、複数個 (図1に示す例では3個) の金 bumps 9を高さ方向に重ね合わせた構成になっている。

【0025】次に、上記光送受信モジュールの製造方法の一例を説明する。

【0026】まず、図2に示すように、配線基板3の配線4上に金 bumps 9を接合する。この金 bumps 9の接合は、加熱、超音波またはこれらを併用した周知のボールボンディング法で行う。

【0027】次に、図3に示すように、底面を平坦に加工したツール10を金 bumps 9に圧着し、すべての金 bumps 9を一括して平坦化する。この平坦化処理により、配線基板3の反り、うねりなどが吸収されるので、すべての金 bumps 9の上端の高さを均一に揃えることができる (図4)。なお、配線基板3の反りやうねりが大きく、金 bumps 9一段ではこれらを吸収出来ない場合は、金 bumps 9を二段に重ねてもよい。

【0028】一方、上記の工程と並行して、図5に示すように、第1の半導体チップ1の主面の電極パッド (図示せず) 上に周知の方法で半田 bumps 8を形成する。この半田 bumps 8は、その高さが小さい方が好ましいので、リフロー方式によるボンディングが可能な鉛 (Pb) / 錫 (Sn) 合金などの低融点半田材料を用いて構成する。これに対し、図6に示すように、第2の半導体チップ2の主面の電極パッド (図示せず) 上には、周知のボールボンディング法で金 bumps 9を二段重ねて形成する。

【0029】次に、図7に示すように、配線基板3の主面上に第1の半導体チップ1を重ね合わせ、配線4上の所定の位置に半田バンプ8を位置決めした後、半田バンプ8の熔融温度以上に加熱した雰囲気中で半田バンプ8をリフローさせることにより、半導体チップ1を配線基板3の主面上にフェイスダウンボンディングする。

【0030】次に、図8に示すように、第2の半導体チップ2を第1の半導体チップ1と重なり合うように配置し、配線基板3側の金バンプ9と半導体チップ2側の金バンプ9とを熱圧着法で接合することにより、前記図1に示す光送受信モジュールが完成する。図9は、上述した製造方法のフロー図である。

【0031】本実施例によれば、第1の半導体チップ1と第2の半導体チップ2を上下方向に重ね合わせて配置することにより、これらを平面上に並べて配置する場合に比べて、半導体チップ1の半田バンプ8と半導体チップ2の金バンプ9とを接続する配線4の長さを短くすることができる。これにより、配線4に加わる負荷容量を小さくすることができるので、より一層の高速伝送を行うことが可能な光送受信モジュールを提供することができる。

【0032】また、本実施例によれば、第1の半導体チップ1と第2の半導体チップ2を上下方向に重ね合わせて配置することにより、これらを平面上に並べて配置する場合よりも実装密度が向上した光送受信モジュールを提供することができる。

【0033】（実施例2）図10は、本実施例の光送受信モジュールの断面図である。前記実施例1の光送受信モジュールは、フォトダイオードを形成した第1の半導体チップ1と、プリアンプを形成した第2の半導体チップ2とを配線基板3の主面上にフェイスダウンボンディングした構成になっていたが、本実施例の光送受信モジュールは、プリアンプを形成した第2の半導体チップ2を配線基板3の主面上にフェイスダウンボンディングし、フォトダイオードを形成した第1の半導体チップ1をこの半導体チップ2の主面上にフェイスダウンボンディングした構成になっている。

【0034】本実施例の光送受信モジュールは、一例として次のような方法で製造することができる。

【0035】まず、図11に示すように、配線基板3の配線4上に金バンプ9を接合する。この金バンプ9の接合は、前記実施例1と同様、加熱、超音波またはこれらを併用した周知のボールボンディング法で行う。

【0036】次に、図12に示すように、底面を平坦に加工したツール10を金バンプ9に圧着し、すべての金バンプ9を一括して平坦化することにより、すべての金バンプ9の上端の高さを均一に揃える（図13）。なお、配線基板3の反りやうねりが大きく、金バンプ9一段ではこれらを吸収出来ない場合は、前記実施例1と同様、金バンプ9を二段またはそれ以上に重ねてもよい。

【0037】一方、上記の工程と並行して、図14に示すように、第1の半導体チップ1の主面の電極パッド（図示せず）上に周知の方法で半田バンプ8を形成する。この半田バンプ8は、その高さが小さい方が好ましいので、リフロー方式によるボンディングが可能な金（Au）／錫（Sn）共晶合金などの低融点半田材料を用いて構成する。

【0038】次に、図15に示すように、第1の半導体チップ1の半田バンプ8を第2の半導体チップ2の主面の電極パッド（図示せず）上に位置決めし、この半田バンプ8の熔融温度以上に加熱した雰囲気中で半田バンプ8をリフローさせることにより、半導体チップ1を半導体チップ2の主面上にフェイスダウンボンディングする。

【0039】次に、図16に示すように、第2の半導体チップ2の主面の電極パッド上に周知のボールボンディング法で金バンプ9を二段重ねて形成する。なお、第2の半導体チップ2の電極パッド上に金バンプ9を形成した後、第1の半導体チップ1を第2の半導体チップ2の主面上にフェイスダウンボンディングしてもよい。

【0040】次に、図17に示すように、配線基板3の主面上に第2の半導体チップ2を重ね合わせ、配線基板3側の金バンプ9と半導体チップ2側の金バンプ9とを熱圧着法で接合することにより、前記図10に示す光送受信モジュールが完成する。図18は、上述した製造方法のフロー図である。

【0041】本実施例によれば、第1の半導体チップ1を第2の半導体チップ2の主面上にフェイスダウンボンディングして両者をダイレクトに接続することにより、半導体チップ1、2間を接続する配線長を電極パッドの大きさ（約100 μ m）程度まで短縮することができるので、この配線に加わる負荷容量を極限まで小さくすることができ、より一層の高速伝送を行うことが可能な光送受信モジュールを提供することができる。

【0042】また、本実施例によれば、前記実施例1と同様、第1の半導体チップ1と第2の半導体チップ2を平面上に並べて配置する場合よりも実装密度が向上した光送受信モジュールを提供することができる。

【0043】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0044】前記実施例では、本発明を光送受信モジュールに適用した場合について説明したが、これに限定されるものではなく、外形寸法の異なる2個またはそれ以上の半導体チップを配線基板上に実装する各種半導体モジュールに適用することができる。

【0045】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

以下の通りである。

【0046】本発明によれば、半導体チップ間を接続する配線長を極限まで短縮することができるので、この配線に加わる負荷容量を小さくすることができ、高速伝送特性の向上した半導体モジュールを提供することができる。

【0047】また、本発明によれば、実装密度の向上した半導体モジュールを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体モジュールの断面図である。

【図2】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図3】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図4】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図5】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図6】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図7】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図8】本発明の一実施例である半導体モジュールの製造方法を示す断面図である。

【図9】本発明の一実施例である半導体モジュールの製造方法を示すフロー図である。

【図10】本発明の他の実施例である半導体モジュール

の断面図である。

【図11】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

【図12】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

【図13】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

【図14】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

【図15】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

【図16】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

【図17】本発明の他の実施例である半導体モジュールの製造方法を示す断面図である。

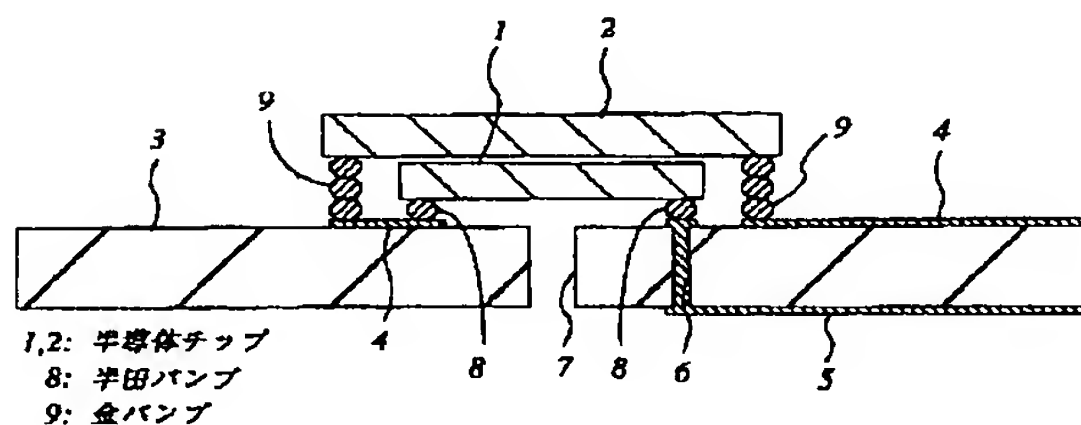
【図18】本発明の他の実施例である半導体モジュールの製造方法を示すフロー図である。

【符号の説明】

- 1 半導体チップ
- 2 半導体チップ
- 3 配線基板
- 4 配線
- 5 配線
- 6 スルーホール
- 7 開孔
- 8 半田バンプ
- 9 金バンプ
- 10 ツール

【図1】

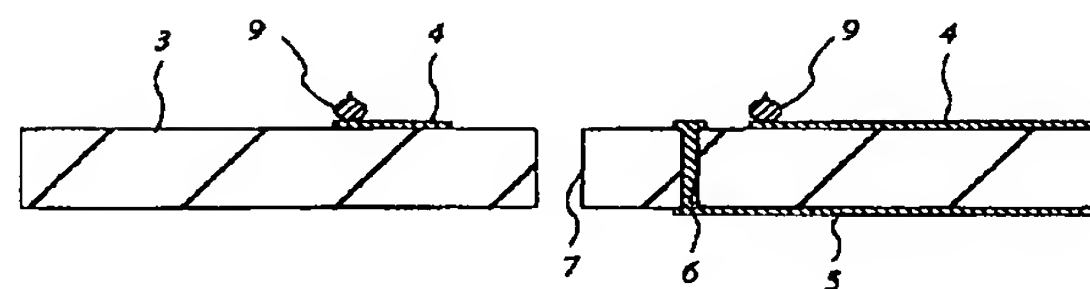
図 1



1,2: 半導体チップ
8: 半田バンプ
9: 金バンプ

【図2】

図 2



【図5】

図 5



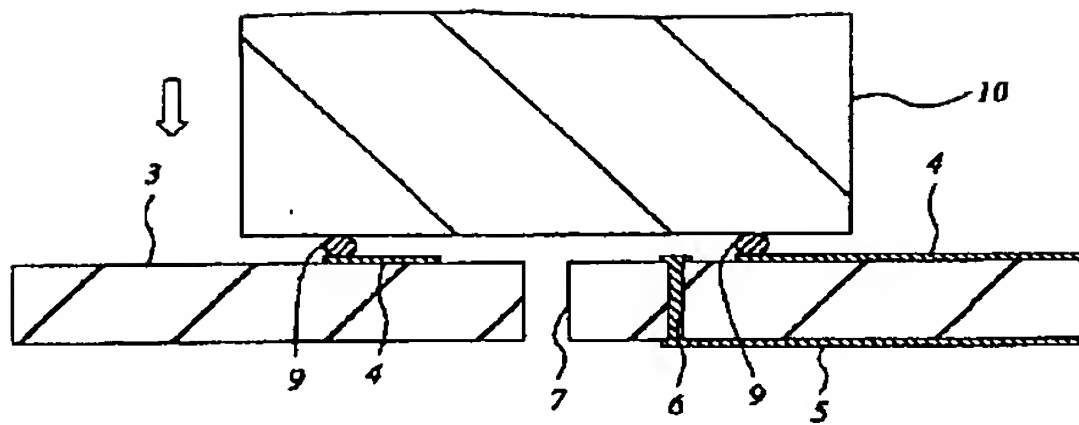
【図14】

図 14



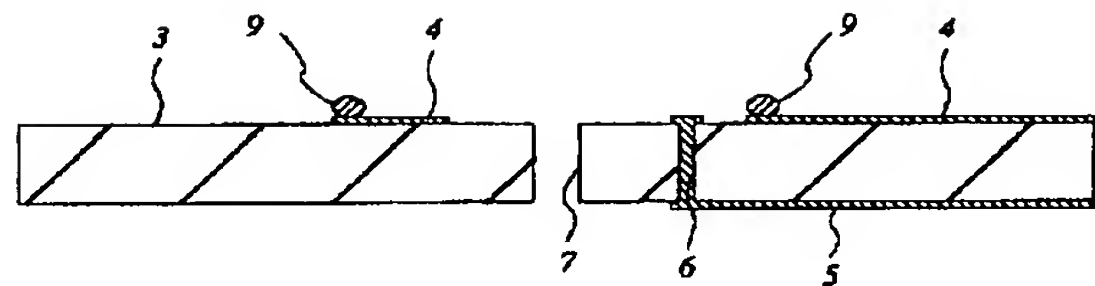
【図 3】

図 3



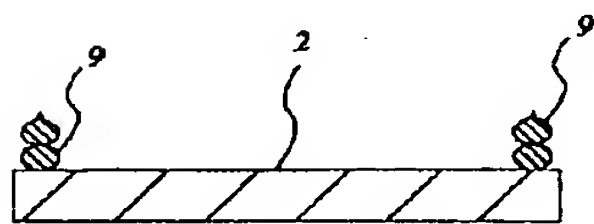
【図 4】

図 4



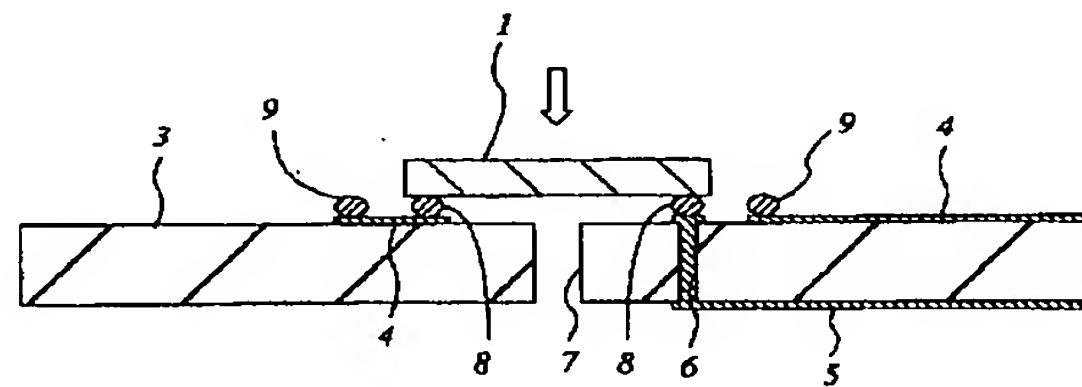
【図 6】

図 6



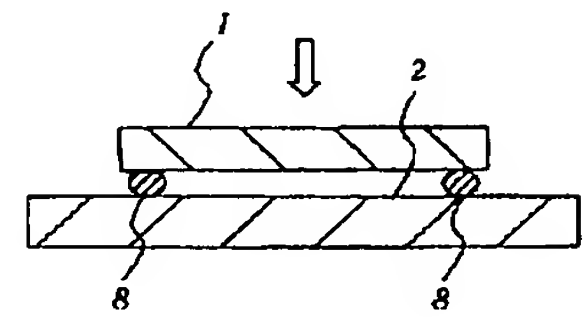
【図 7】

図 7



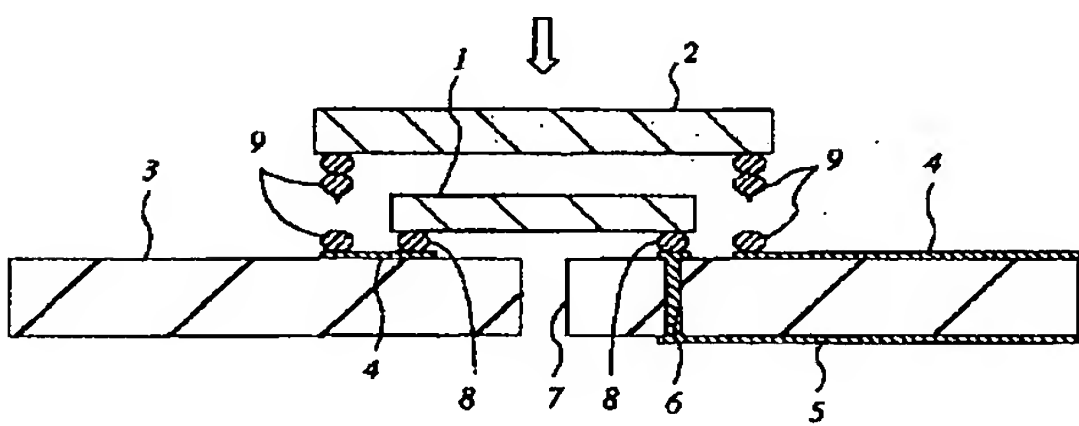
【図 15】

図 15



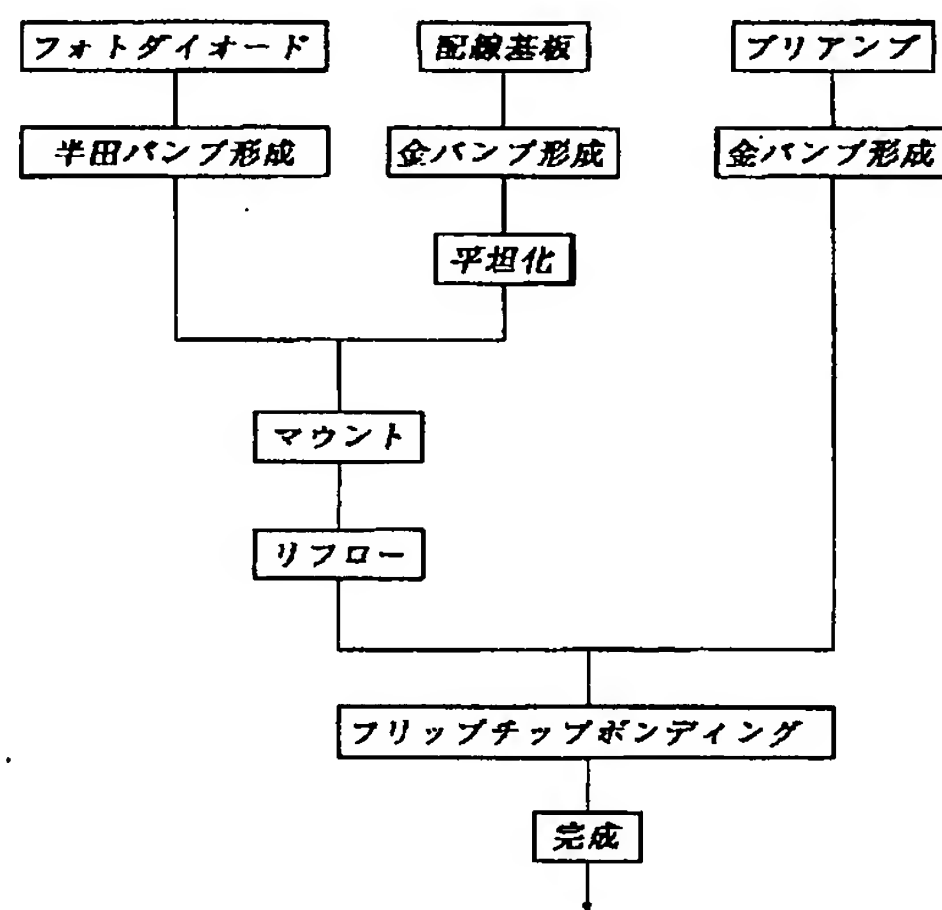
【図 8】

図 8



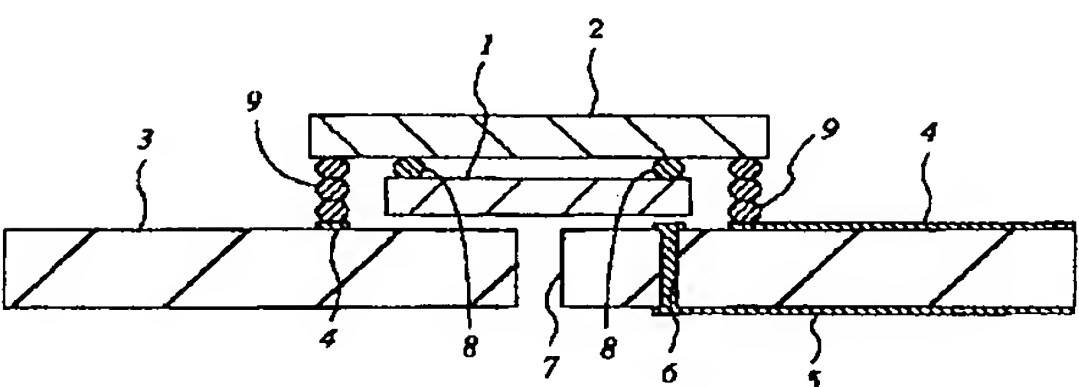
【図 9】

図 9



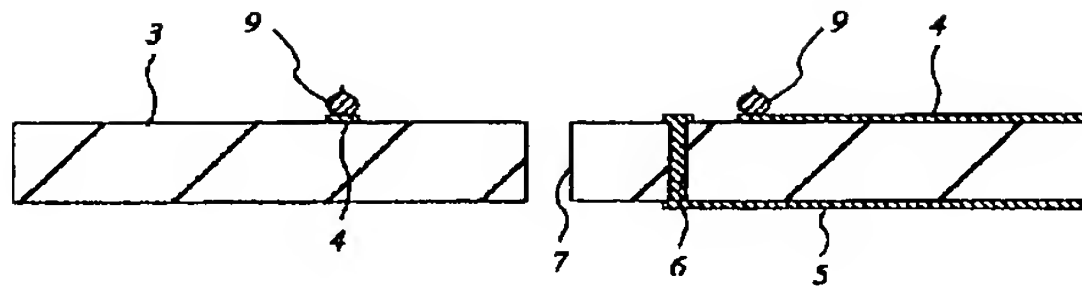
【図 10】

図 10



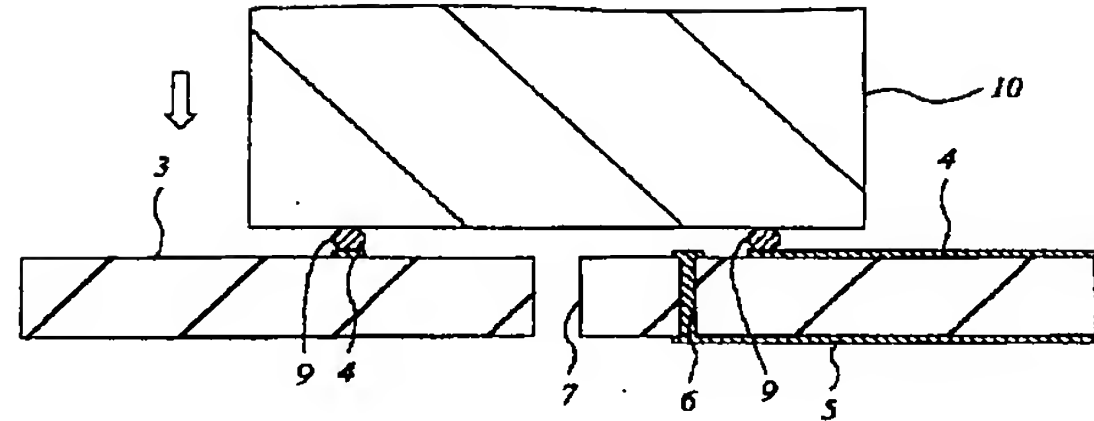
【図 11】

図 11



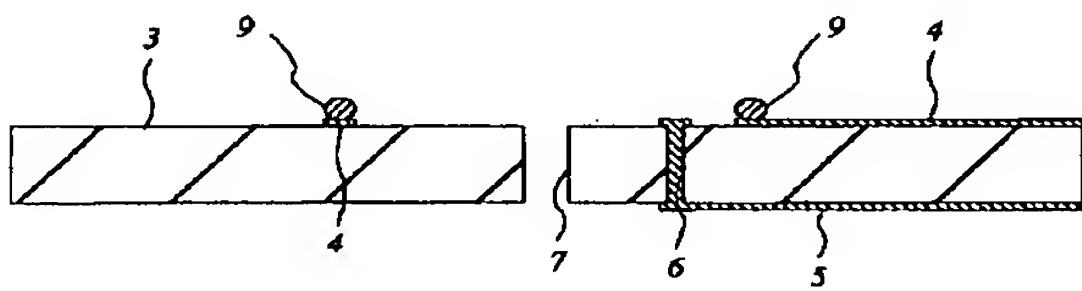
【図 12】

図 12



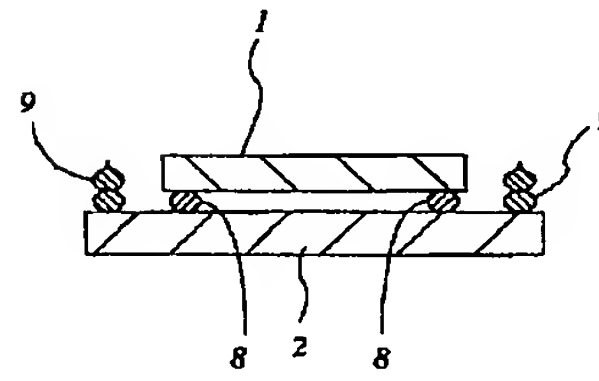
【図 13】

図 13



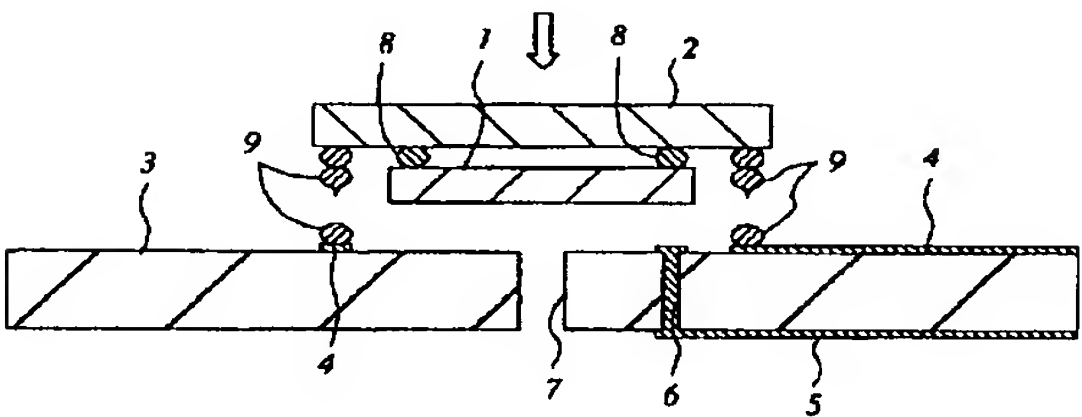
【図 16】

図 16



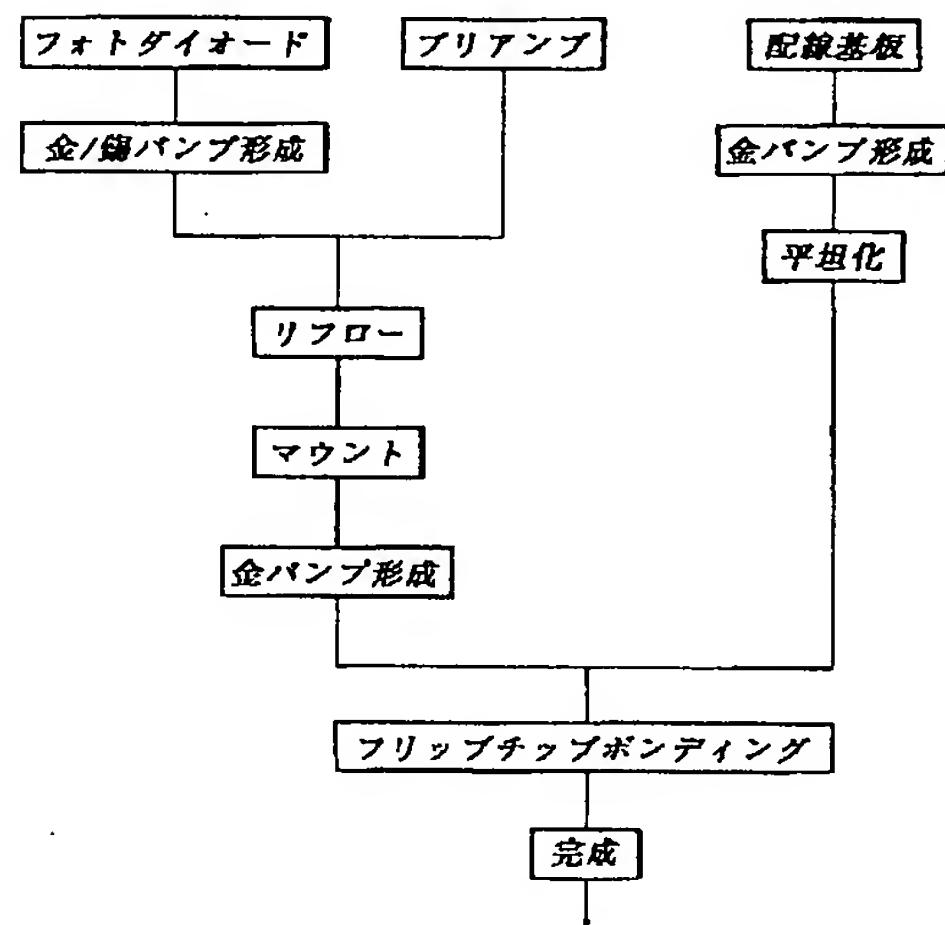
【図 17】

図 17



【図 18】

図 18



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 23/52

識別記号

庁内整理番号

F I

技術表示箇所